

#2  
BT  
10-18-01

PATENT  
ATTORNEY DOCKET NO.: 049128-5017

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
Jung-Taeck EU )  
Application No.: 09/893,985 )  
Filed: June 29, 2001 )  
For: DISCHARGING APPARATUS FOR )  
LIQUID CRYSTAL DISPLAY )

Group Art Unit: 2871

Examiner: Unassigned

Commissioner for Patents  
Washington, D.C. 20231

RECEIVED  
SEP 18 2001  
10:2000 MAIL ROOM  
RECEIVED  
SEP 21 2001  
Technology Center 2600

**CLAIM FOR PRIORITY**

Under the provisions of 35 U.S.C. §119, Applicant's hereby claim the benefit of the filing date of **Korean** Patent Application No. 2000-79984 filed December 22, 2000 for the above-identified United States Patent Application.

In support of Applicant's claim for priority, filed herewith is a certified copy of the Japanese application.

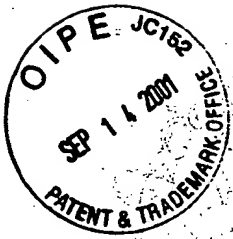
Respectfully submitted,

**MORGAN, LEWIS & BOCKIUS LLP**

Robert J. Goodell  
Reg. No. 41,040

Dated: September 14, 2001

**MORGAN, LEWIS & BOCKIUS LLP**  
1800 M Street, N.W.  
Washington, D.C. 20036  
(202)467-7000



# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

RECEIVED  
SEP 19 2001  
TC 2300 MAIL ROOM  
RECEIVED  
SEP 21 2001  
Technology Center 2600

출원번호 : 특허출원 2000년 제 79984 호  
Application Number

출원년월일 : 2000년 12월 22일  
Date of Application

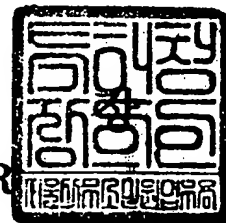
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s)



2001 년 05 월 07 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF  
PRIORITY DOCUMENT

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0003  
**【제출일자】** 2000. 12. 22  
**【발명의 명칭】** 액정표시장치의 방전회로  
**【발명의 영문명칭】** discharging circuit of liquid crystal display  
**【출원인】**  
**【명칭】** 엘지 .필립스 엘시디 주식회사  
**【출원인코드】** 1-1998-101865-5  
**【대리인】**  
**【성명】** 김영호  
**【대리인코드】** 9-1998-000083-1  
**【포괄위임등록번호】** 1999-001050-4  
**【발명자】**  
**【성명의 국문표기】** 어정택  
**【성명의 영문표기】** EU, Jung-Taeck  
**【주민등록번호】** 690904-1804310  
**【우편번호】** 730-360  
**【주소】** 경상북도 구미시 진평동 642-3번지 엘지 필립스 엘시디 회  
로 설계팀  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
김영호 (인)  
**【수수료】**  
**【기본출원료】** 14 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 3 항 205,000 원  
**【합계】** 234,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 잔상을 제거하기 위한 액정표시장치의 방전회로에 관한 것이다.

본 발명은 게이트라인과 데이터라인사이에 액정셀이 마련됨과 아울러 상기 게이트라인으로부터의 신호에 응답하여 상기 액정셀을 구동하기 위한 스위치소자를 구비하는 액정표시소자에 있어서, 서로 다른 전위를 갖는 게이트 구동 전압들을 상기 게이트라인에 공급하는 게이트 드라이브 집적회로와, 상기 게이트 구동 전압들이 입력되고 전원이 턴-오프될 때에 상기 게이트라인상의 전압들을 방전시키는 방전회로를 구비한다.

본 발명에 의하면, 방전회로는 인쇄회로기판에 형성하여 패널의 구조를 단순화하고, 게이트라인을 방전경로로 이용하여 전원이 오프일 경우 빠른 시간에 패널에 축적된 전하를 방전시킬 수 있다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

액정표시장치의 방전회로{discharging circuit of liquid crystal display}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따른 방전회로를 나타내는 도면

도 2는 본 발명에 따른 방전회로와 패널모듈의 전체 구성도

도 3은 본 발명에 따른 방전회로와 로우 드라이버 집적회로의 연결도

도 4는 도 2에 도시된 패널의 단위 화소부를 나타내는 등가 회로도

도 5는 도 3에 도시된 방전회로의 평면도

**<도면의 주요 부분에 대한 부호의 설명>**

10 : 패널

12,22 : 방전회로

14 : 게이트 드라이브 집적회로

16 : 데이터 드라이브 집적회로

18 : 인쇄 회로 기판

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 박막트랜지스터 액정표시장치의 방전회로에 관한 것으로, 특히, 잔상을

제거하기 위한 방전회로에 관한 것이다.

- <11> 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭소자로서 박막 트랜지스터(Thin Film Transistor : 이하 'TFT'라 함)를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하며, 퍼스널 컴퓨터(Personal Computer)와 노트북 컴퓨터(Note Book Computer)는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용하고 있다.
- <12> 통상의 액티브 매트릭스 액정표시장치는 액정에 인가되는 전계에 의해 액정의 투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액티브 매트릭스 액정표시장치에는 잔상을 제거하기 위한 방전회로가 설치된다.
- <13> 도 1을 참조하면, 게이트라인(GL)들과 데이터 라인(DL)들이 교차하는 위치에 배열되어진 다수의 TFT들과, 이들 TFT 각각의 소스와 공통전압원 사이에 접속되어진 다수의 액정셀(C1c)들과 이들 액정셀 각각에 병렬 접속된 다수의 보조 캐패시터(Cst)들과, 게이트 라인(GL)들에 접속되어진 방전회로(12)로 구성된다.
- <14> 방전회로(12)는 로우논리의 게이트신호가 게이트라인(GL)으로부터 공급되는 기간에 턴-온되는 PMOS트랜지스터(M1)와, PMOS트랜지스터(M1)에 연결된 다이오드(D1)와 캐패시터(C1)를 구비한다. 여기서, 다이오드(D1)와 캐패시터(C1)는 전원이 꺼져 있음을 감지한다. 전원이 꺼져 있을 때, 액정(C1c)과 보조캐패시터(Cst)는 방전경로로 형성되고 PMOS트랜지스터(M1)는 턴온된다.
- <15> TFT-LCD화면은 액정캐패시터(C1c)와 보조캐패시터(Cst)가 방전될 때 선명해지고, 전원이 꺼져 있을 때 잔상이 제거된다.

<16> 그러나, 종래 기술에 따른 보상회로의 경우에는 방전회로가 패널상에 형성되므로 접지라인과  $V_{DD}$ 라인이 모두 패널상에 위치하게 된다. 그 결과로 인해, 라인수가 많아지고 별도의 캐패시터와 다이오드도 설치되므로 패널의 구조가 복잡해지고 그 제조방법이 어렵게 되는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서, 본 발명의 목적은 패널의 구조를 단순하게 할뿐만 아니라 전원 오프시에 게이트라인 상의 전압을 안정하게 방전시키는 방전회로를 제공하는 데 있다.

【발명의 구성 및 작용】

<18> 상기 목적들을 달성하기 위하여, 본 발명의 다른 액정표시장치의 방전회로는 게이트라인과 데이터라인사이에 액정셀이 마련됨과 아울러 상기 게이트라인으로부터의 신호에 응답하여 상기 액정셀을 구동하기 위한 스위치소자를 구비하는 액정표시소자에 있어서, 서로 다른 전위를 갖는 게이트 구동 전압들을 상기 게이트라인에 공급하는 게이트 드라이브 집적회로와, 상기 게이트 구동 전압들이 입력되고 전원이 턴-오프될 때에 상기 게이트라인상의 전압들을 방전시키는 방전회로를 구비한다.

<19> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<20> 이하, 도 2 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

- <21> 도 2는 본 발명에 따른 방전회로와 패널모듈의 전체 구성도이다.
- <22> 도 2를 참조하면, TFT LCD 패널(10)은 화소마다 NMOS TFT가 있고, TFT의 게이트전극은 주사선인 게이트라인(GL)에 연결되고, TFT의 소스전극은 신호선인 데이터라인(DL)에 연결된다. 주사선인 게이트라인(GL)에 온(on)신호가 걸리면, 게이트라인(GL)에 연결된 TFT소자에 채널이 만들어져, 신호선의 전압이 소스전극과 드레인전극을 거쳐서 화소전극에 걸린다.
- <23> 패널(10)과 게이트 및 데이터 드라이브 집적회로는 인쇄 회로 기판(Printed Circuit Board ; 이하 'PCB'라 함)을 통해 연결되며 방전회로는 게이트 PCB상에 형성된다.
- <24> 게이트와 데이터 드라이브 집적회로(14,16)는 PMOS 또는 NMOS로 구성되고, 테이프 캐리어 패키지(tape carrier package ; 이하 'TCP' 라함)형태로 만든다. 드라이브 집적회로(14,16)는 TCP bonding공정으로 TFT패널과 연결된다.
- <25> 게이트 드라이브 집적회로(14)는 화소 TFT의 게이트전극을 구동한다는 의미로 로우 드라이버라고도 하며 게이트라인(GL)에 순차적으로 온/오프신호만 걸어주기 때문에 비교적 간단한 구조이다. 게이트 펄스가 하이레벨을 유지하는 동안 그 라인의 모든 TFT들이 동작되어 채널이 열리므로 이를 통해서 신호전압들이 화소에 충전된다.
- <26> 데이터 드라이브 집적회로(16)는 화소 TFT의 소스전극을 구동한다는 의미로 소스 드라이버라고도 하며 게이트 드라이브 집적회로(14)가 TFT에 펄스를 인가해 온(on)상태로 만들어주며 데이터 드라이브 집적회로(16)는 신호선을 통해 실제로 화소에 신호전압을 인가하는 역할을 한다.



- <27> 방전회로(22)는 게이트 드라이브 집적회로(14)의 입력단에 연결되어 있어 게이트 라인(GL)을 방전 경로(path)로 이용한다.
- <28> 도 3을 참조하면, 게이트 드라이브 집적회로의 블럭도는 게이트 하이 전압( $V_{gh}$ ) 및 게이트 라인(GL)사이에 접속되어진 NMOS 트랜지스터(M1)와, 게이트라인(GL)및 게이트 로우 전압( $V_{gl}$ )사이에 접속되어진 PMOS 트랜지스터(M2)를 구비한다. 이들 NMOS 트랜지스터(M1) 및 PMOS 트랜지스터(M2)의 게이트전극들은 모두 제어신호(control signal)에 접속되게 되며, NMOS 트랜지스터(M1), PMOS 트랜지스터(M2)의 출력신호는 게이트라인(GL)에 공급된다.
- <29> 방전회로(22)는 게이트 드라이브 집적회로(14)의 TFT 턴-오프 바이어스 전압(이하 ' $V_{gl}$ '라 함)에 연결되어 전압이 인가되지 않을 경우 빠른 시간에 패널(10)에 축적된 전하를 방전한다. 여기서,  $V_{dd}$ 는 일반전압으로 약 +7V~+10V정도이며,  $V_{gh}$ 는 TFT의 턴-온 전압으로 약 +18V~+25V정도이며,  $V_{gl}$ 는 TFT의 턴-오프전압 또는 스토리지 전압, 즉 방전이 필요한 부분으로 약 -5V~-8V정도이다.
- <30> 도 4를 참조하면, 액정셀은 게이트라인(GL), 데이터라인(DL)사이에 접속된 TFT와, TFT의 드레인단자(화소전극)와 공통전극( $V_{com}$ )사이에 접속된 액정 캐패시터( $C_{lc}$ )와, TFT의 드레인단자(화소전극)와 이전단 게이트라인(N-1)에 접속된 스토리지 캐패시터( $C_{st}$ )로 구성된다. 더불어, 액정셀은 TFT의 게이트단자와 소스단자, 게이트단자와 드레인단자 사이에 중첩부분이 존재하여 각각 기생 캐패시터( $C_{gs}$ ,  $C_{gd}$ )를 갖게 됨과 아울러 소스단자와 드레인단자 사이에 존재하는 기생저항등이 포함된다. 기생저항은 TFT가 턴-오프되는 동안의 등가저항으로서 일정하게 고정되어 있는 것은 아니다. 액정캐패시터( $C_{lc}$ )는 게이트라인(N)에 공급되는 게이트 하이 전압( $V_{gh}$ )에 의해 TFT가 턴-온되는 기간동안 데

이터라인(DL)으로부터 공급되는 데이터전압과 공통전압( $V_{com}$ )의 차전압에 해당하는 화소 전압( $V_{lc}$ )을 충전하고 게이트 로우 전압( $V_{gl}$ )에 의해 TFT가 턴-오프되는 기간동안 충전된 화소전압( $V_{lc}$ )을 유지하게 된다.

<31> 전원이 인가되지 않을 경우 패널(10)에 축적된 전하를 빠른 시간에 방전하기 위하여 패널(10)의 내부구조중에서 액정캐패시터( $C_{lc}$ )의 스토리지 캐패시터( $C_{st}$ )와 게이트 라인(GL) 캐패시터의 방전특성을 향상시키는 것이 필요하다. 즉, 게이트라인(GL)을 방전 경로로 이용한다.

<32> 도 5를 참조하면, 방전회로(22)는 게이트 로우 전압( $V_{gl}$ )과 게이트 하이 전압( $V_{gh}$ ) 사이에 접속되어진 NPN형 트랜지스터( $Q_2$ )와, 게이트 하이 전압( $V_{gh}$ )과 A point사이에 접속되어진 캐패시터( $C_1$ )와, A point와 B point사이에 접속되어진 저항( $R_1$ )과, B point와  $V_{dd}$ 사이에 접속되어진 저항( $R_2$ )과  $V_{dd}$ 와 NPN형 트랜지스터( $Q_2$ )사이에 접속되어진 PNP형 트랜지스터( $Q_1$ )를 구비한다.

<33> 전원이 인가된 경우 PNP형 트랜지스터( $Q_1$ )의 베이스와 이미터전압( $V_B=V_E$ )이 동일하게 되어 PNP형 트랜지스터( $Q_1$ )는 오프되고, NPN형 트랜지스터( $Q_2$ )도 오프되어 TFT LCD의 DC/DC 컨버터가 정상적으로 동작하게 된다. 이 때, PNP형 트랜지스터( $Q_1$ )의 베이스전압은  $V_{dd}$ 와 동일하고, 게이트 하이 전압( $V_{gh}$ )을 common으로 볼 때 캐패시터( $C_1$ )양단전압은  $-(V_{gh}-V_{dd})$ 전압이 유지된다.

<34> 전원이 인가되지 않은 경우 게이트 하이 전압( $V_{gh}$ )을 common으로 볼 때  $C_1$ 양단전압은  $-(V_{gh}-V_{dd})$ 전압에서 0V로 전위이동이 생기며, 접지를 common으로 볼 때 캐패시터( $C_1$ )와 저항( $R_1$ )사이(A point)의 전압은 캐패시터( $C_1$ ) 양단전압 변화의 반대방향으로 이동한다. 즉  $V_{dd}$ 전압 레벨에서 음전압(-)레벨로 이동한다.

<35> A point 전압이 떨어지면 B point 전압은 저항( $R_1, R_2$ )으로 배분된 전압이 PNP형 트랜지스터(Q1) 베이스에 인가되고 이 때, PNP형 트랜지스터(Q1)는 턴온되고, 그 후 NPN형 트랜지스터(Q2)도 턴온되어 게이트 하이 전압( $V_{gh}$ )과 게이트 로우 전압( $V_{gl}$ )이 short 된다. NPN형 트랜지스터(Q2)가 턴온될 경우 게이트 로우 전압( $V_{gl}$  = 약  $-5V \sim -8V$  정도)을 빠른 속도로 방전시키게 된다.

<36> 이와 같이, 본 발명에 따른 액정표시장치의 방전회로는 인쇄회로기판에 형성되므로 패널상에 있는 게이트라인을 공통으로 사용하여 라인수를 줄일 수 있고, 게이트 라인을 방전경로로 사용하므로 전원이 인가되지 않은 경우 빠른 시간에 패널에 축적된 전하를 방전시킬 수 있다.

#### 【발명의 효과】

<37> 상술한 바와 같이, 본 발명에 따른 액정표시장치의 방전회로는 인쇄 회로 기판(PCB)에 형성되므로 별도의 라인이 필요없게 되어 패널의 구조가 단순해진다. 또한, 게이트라인이 방전경로로 이용되어 패널의 축적된 전하가 빠른 시간에 방전될 수 있다.

<38> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

게이트라인과 데이터라인사이에 액정셀이 마련됨과 아울러 상기 게이트라인으로부터의 신호에 응답하여 상기 액정셀을 구동하기 위한 스위치소자를 구비하는 액정표시소자에 있어서,

서로 다른 전위를 갖는 게이트 구동 전압들을 상기 게이트라인에 공급하는 게이트 드라이브 집적회로와,

상기 게이트 구동 전압들이 입력되고 전원이 턴-오프될 때에 상기 게이트라인상의 전압들을 방전시키는 방전회로를 구비하는 것을 특징으로 하는 액정표시장치의 방전회로

**【청구항 2】**

제 1항에 있어서,

상기 게이트 구동전압은 정극성의 게이트 하이 전압과 부극성의 게이트 로우 전압인 것을 특징으로 하는 액정표시장치의 방전회로.

**【청구항 3】**

제 2항에 있어서,

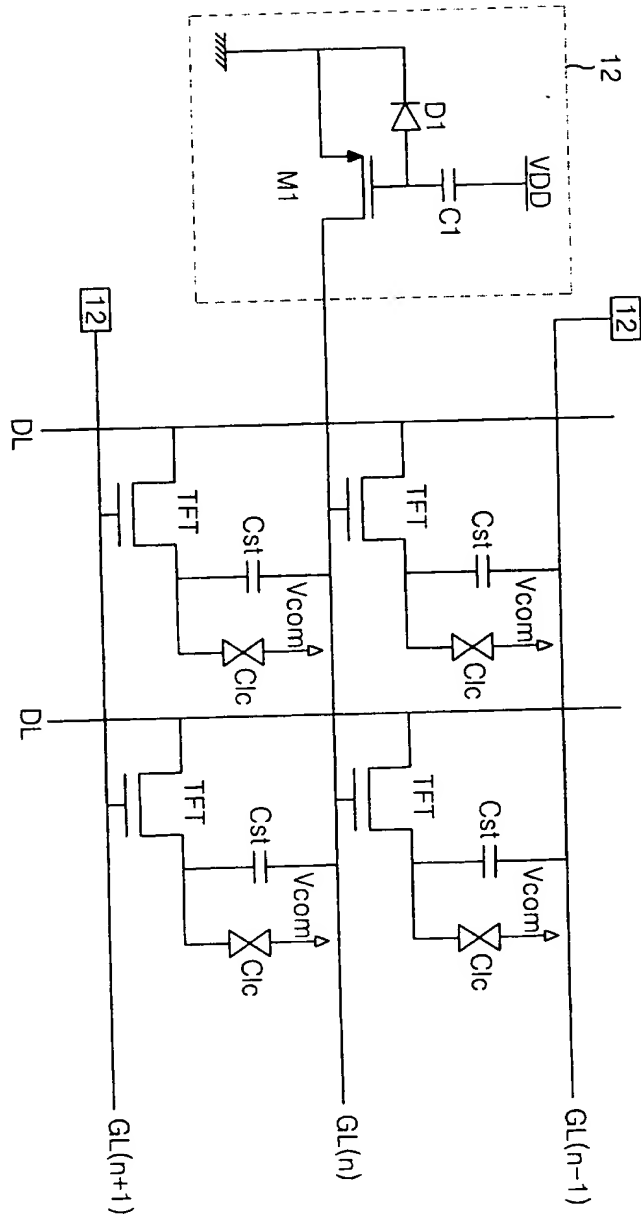
상기 방전회로는 상기 전원이 인가되는 동안에 전압을 충전하고 상기 전원이 턴-오프될 때 충전된 전압을 방전하는 캐패시터와,

스위치 제어신호에 응답하여 상기 게이트 하이 전압이 공급되는 패스와 상기 게이트 로우전압이 공급되는 패스를 접속시키기 위한 제1 스위치소자와,

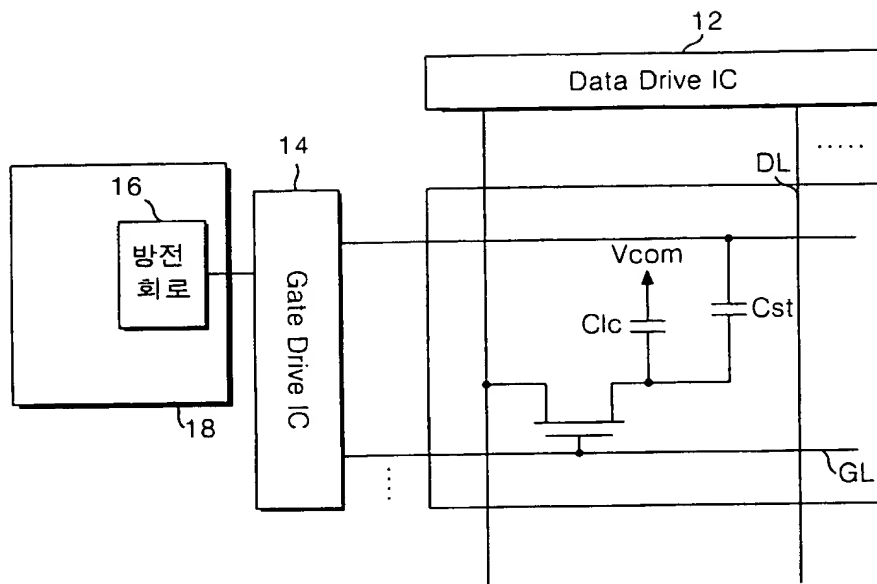
상기 캐패시터로부터 방전되는 전압에 응답하여 상기 스위치 제어신호를 생성하는 제2 스위치소자를 구비하는 것을 특징으로 하는 액정표시장치의 방전회로.

【도면】

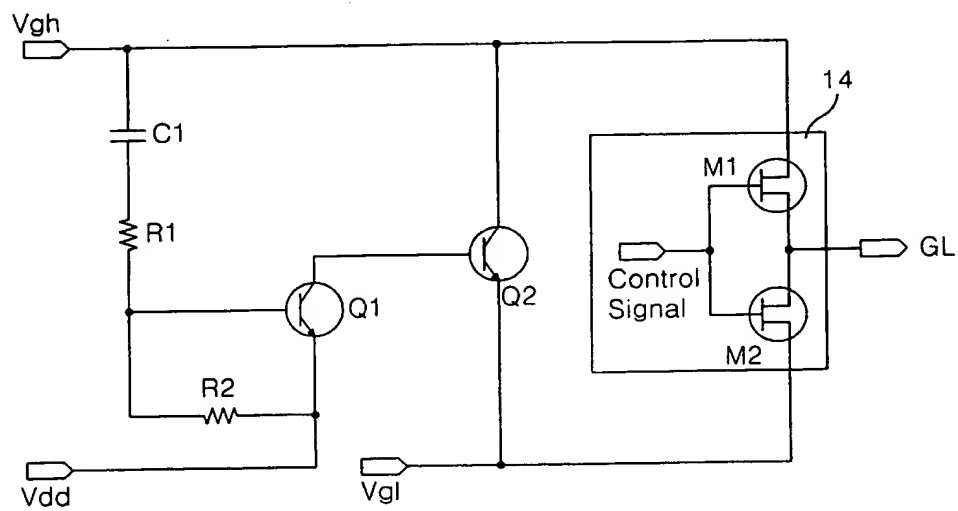
【도 1】



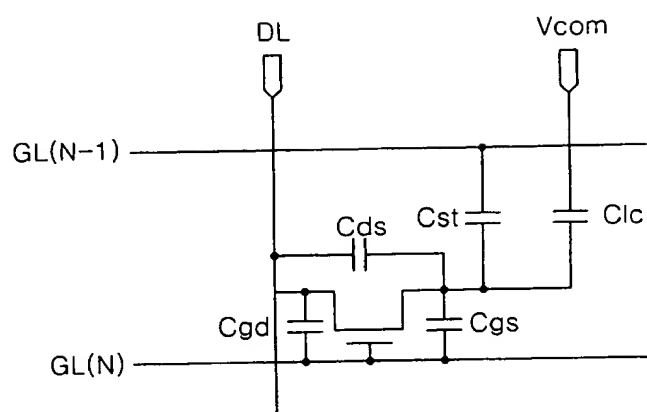
【도 2】



【도 3】



【도 4】



【도 5】

